

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11397571

Basic Patent (No,Kind,Date): JP 5241536 A2 19930921 <No. of Patents: 002>

HORIZONTAL SCANNING CIRCUIT (English)

Patent Assignee: SONY CORP

Author (Inventor): HAYASHI YUJI; MAEKAWA TOSHIICHI

IPC: *G09G-003/36; G02F-001/133; G09G-003/20; H04N-005/66

Derwent WPI Acc No: G 93-332278

JAPIO Reference No: 170707P000016

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 5241536	A2	19930921	JP 9280452	A	19920302	(BASIC)
JP 3271192	B2	20020402	JP 9280452	A	19920302	

Priority Data (No,Kind,Date):

JP 9280452 A 19920302

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04249836 **Image available**

HORIZONTAL SCANNING CIRCUIT

PUB. NO.: 05-241536 [JP 5241536 A]

PUBLISHED: September 21, 1993 (19930921)

INVENTOR(s): HAYASHI YUJI
MAEKAWA TOSHIICHIAPPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-080452 [JP 9280452]

FILED: March 02, 1992 (19920302)

INTL CLASS: [5] G09G-003/36; G02F-001/133; G09G-003/20; H04N-005/66

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment); 44.6 (COMMUNICATION -- Television)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1667, Vol. 17, No. 707, Pg. 16,
December 24, 1993 (19931224)

ABSTRACT

PURPOSE: To make a driving pulse line in non-overlap which is outputted successively from a horizontal scanning circuit incorporated in an active matrix type liquid crystal display device, etc.

CONSTITUTION: The active matrix type liquid crystal display device is constituted of a display part 1, a vertical scanning part 2 and a horizontal scanning part 3. The horizontal scanning part 3 is provided with a shift register S/R generating successively a horizontal shift pulse signal .phi.. The shift pulse D(sub n) of an Nth stage generated from the shift register and a delayed pulse DD(sub n+1) delaying the shift pulse D(sub n+1) of a (N+1)th stage by a delay element DLY(sub n) are processed by an AND element AND. and the horizontal switch driving pulse .phi.(sub n) of the Nth stage is generated. A transmission gate element S is conducted corresponding to each driving pulse .phi. and a video signal is sampled.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-241536

(43)公開日 平成5年(1993)9月21日

(51) Int.C1.	識別記号	F I
G09G 3/36	7319-5G	
G02F 1/133	550 7820-2K	
G09G 3/20	J 8621-5G	
H04N 5/66	102 B 9068-5C	

審査請求 未請求 請求項の数3 (全6頁)

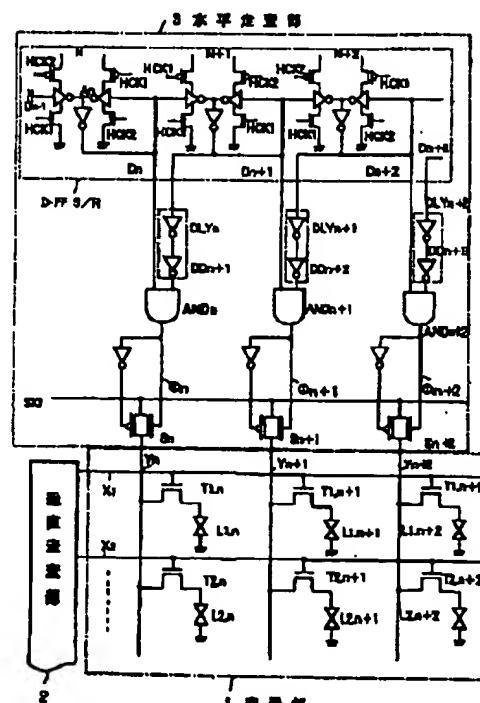
(21)出願番号	特願平4-80452	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成4年(1992)3月2日	(72)発明者	林祐司 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72)発明者	前川敏一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 高橋光男

(54)【発明の名称】水平走査回路

(57)【要約】

【目的】アクティブマトリクス型液晶表示装置等に組み込まれる水平走査回路から順次出力される駆動パルス列をノンオーバラップにする。

【構成】アクティブマトリクス型液晶表示装置は表示部1と垂直走査部2と水平走査部3とから構成されている。水平走査部3は水平シフトパルス信号 ϕ を順次発生するシフトレジスタS/Rを備えている。このシフトレジスタから発生したN段目のシフトパルス D_n と(N+1)段目のシフトパルス D_{n+1} を遅延素子 DLY により遅らせた遅延パルス DD_{n+1} とをアンド素子AND $_n$ により処理しN段目の水平スイッチ駆動パルス ϕ を生成している。各駆動パルス ϕ に応答してトランスマッピングゲート素子Sが導通し映像信号のサンプリングが行なわれる。



【特許請求の範囲】

【請求項1】 出力部から水平シフトパルス信号を順次発生するシフトレジスタと、このシフトレジスタから発生したN段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成する手段とを備えた事を特徴とする水平走査回路。

【請求項2】 X軸方向に平行に配列された複数のゲート線と、Y軸方向に平行に配列された複数のデータ線と、前記ゲート線にゲート信号を順次供給する第1の走査部と、前記データ線にデータ信号を順次供給する第2の走査部と、前記ゲート線から供給されるゲート信号によって選択された時前記データ線からデータ信号を取り込む為に前記ゲート線及びデータ線の交点に夫々設けられた能動素子とを有する二次元アドレス装置において、前記第2の走査部が、出力部から水平シフトパルス信号を順次発生するシフトレジスタと、このシフトレジスタから発生したN段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成する手段と、この水平スイッチ駆動パルスに応答して前記データ線にデータ信号を夫々サンプリングするスイッチ手段とから構成されている事を特徴とする二次元アドレス装置。

【請求項3】 マトリクス状に配列された複数の画素電極と、この画素電極に接続された能動素子と、この能動素子の第1の電極に接続されたゲート線と、前記能動素子の第2の電極に接続されたデータ線とを有する一方の基板と、この一方の基板に対向配置された他方の基板と、両方の基板間に挟持された液晶層とを備えた液晶表示装置において、

N段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成する回路を設け、前記データ線に供給される映像信号のサンプリング時間が、N段目と(N+1)段目で重ならない様にした事を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型液晶表示装置等の二次元アドレス装置に組み込まれる水平走査回路に関する。より詳しくは、水平走査回路から順次出力される水平スイッチ駆動パルスをノンオーバラップにする為の回路構成に関する。

【0002】

【従来の技術】 本発明の背景を明らかにする為に、まず図4を参照してアクティブマトリクス型液晶表示装置を例にとって従来の水平走査回路を簡潔に説明する。図示する様に、アクティブマトリクス型液晶表示装置はX軸方向に平行に配列された複数のゲート線X₁、X₂、…と、Y軸方向に平行に配列された複数のデータ線Y₁、

10

20

30

40

50

Y₂、…とを有している。互いにマトリクス状に交差するゲート線群とデータ線群との各交点には能動素子例えば薄膜トランジスタ(TFT)T₁₁、T₁₂、T₂₁、T₂₂…が形成されている。さらに、各TFTに対応して液晶セルL₁₁、L₁₂、L₂₁、L₂₂…が設けられている。各液晶セルは共通電極COMと個々の画素電極との間に挟持された液晶層から構成されている。各TFTのゲート電極は対応するゲート線に接続されており、ソース電極は対応するデータ線に接続されており、ドレイン電極は対応する液晶セルの画素電極に接続されている。

【0003】 ゲート線群は図示しない垂直走査回路に接続されており線順次でゲート信号を出力し行毎にTFTを選択する。一方、データ線群Y₁、Y₂、…は対応するスイッチングトランジスタS₁、S₂、…を介して共通の信号線SIGに接続されている。各スイッチングトランジスタのゲート電極は水平走査回路に接続されている。この水平走査回路は外部から供給されるクロック信号HCKに同期して動作し順次水平スイッチ駆動パルスΦ₁、Φ₂、…を出力する。スイッチングトランジスタ群S₁、S₂、…は対応する水平スイッチ駆動パルスに応答して順次導通し信号線SIGを介して外部から供給された映像信号をサンプリングし対応するデータ線Y₁、Y₂、…に分配する。行毎に選択されたTFTは順次対応するデータ線を介してサンプリングされた映像信号を取り込み液晶セルに転送書き込みする。この様にしてアクティブマトリクス型液晶表示装置の点順次駆動が行なわれる。

【0004】

【発明が解決しようとする課題】 次に、図5を参照して本発明が解決しようとする従来技術の課題を簡潔に説明する。図4に示した水平走査回路はシフトレジスタ等から構成されており、順次水平スイッチ駆動パルスΦ₁、Φ₂、…を出力する。各駆動パルスはデータ線1本に割り当てられた映像信号サンプリング時間即ちデータ転送時間に相当する分のパルス幅を有する。シフトレジスタは論理回路の一種であるので、これにより構成される水平走査回路は先発の駆動パルスが立ち下がった時に後発の駆動パルスが立ち上がる様に設定されている。しかしながら、シフトレジスタを構成する各段に含まれるデバイスには電気特性上のばらつきがあり各パルスにジッタが生じる。ジッタの量によっては先発パルスと後発パルスが互いにオーバラップする事がある。このジッタはシフトレジスタの各段毎におけるデバイスパラメータのばらつきに起因しているので各段毎に固定的な傾向にある。

【0005】 オーバラップ量が大きいと、信号線SIGに電位搖れが生じる。例えば、図示する様に先発パルスΦ₁に相当量のジッタが含まれると、先発パルスが立ち下がる前に後発パルスが立ち上がってしまって、換算すると、先発パルスによる映像信号のサンプリングが終らな

い内に後発パルスによるサンプリングが行なわれてしまう。この為、信号線S I Gのインピーダンスが高い場合あるいは信号線に接続されるビデオドライバの出力インピーダンスが高い場合には、重複サンプリングの影響を受け前述した電位揺れが生じる。この電位揺れは先発パルスの出力期間中に生じるので、電位揺れ分が対応するデータ線Y₁にサンプリングされてしまい、本来の映像信号データ量から誤差が生じる。この誤差は各データ線に対応して固定される傾向にあるので、表示画像に所謂縦筋が生じ画質劣化の原因になるという問題点がある。

【0006】

【課題を解決するための手段】上述した従来の技術の問題点あるいは課題に鑑み、本発明は水平走査回路から出力される水平スイッチ駆動パルスをノンオーバラップにする事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、出力部から水平シフトパルス信号を順次発生するシフトレジスタを備えた水平走査回路において、このシフトレジスタから発生したN段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成する手段を設けた事を特徴とする。

【0007】かかる構成を有する水平走査回路は一般に二次元アドレス装置に組み込まれる。この二次元アドレス装置は、X軸方向に平行に配列された複数のゲート線と、Y軸方向に平行に配列された複数のデータ線と、前記ゲート線にゲート信号を順次供給する第1の走査部あるいは垂直走査部と、前記データ線にデータ信号を順次供給する第2の走査部あるいは水平走査部と、前記ゲート線から供給されるゲート信号によって選択された時前記データ線からデータ信号を取り込む為に前記ゲート線及びデータ線の交点に夫々設けられた能動素子とから構成されている。この二次元アドレス装置において、前記水平走査部は、出力部から水平シフトパルス信号を順次発生するシフトレジスタと、このシフトレジスタから発生したN段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成する手段と、この水平スイッチ駆動パルスに応答して前記データ線にデータ信号を夫々サンプリングするスイッチ手段とから構成されている。

【0008】かかる構成を有する二次元アドレス装置の例としてアクティブマトリクス型液晶表示装置がある。この液晶表示装置は、マトリクス状に配列された複数の画素電極と、この画素電極に接続された能動素子と、この能動素子の第1の電極に接続されたゲート線と、前記能動素子の第2の電極に接続されたデータ線とを有する一方の基板と、この一方の基板に対向配置された他方の基板と、両方の基板間に挟持された液晶層とから構成されている。かかる構成を有する液晶表示装置には、N段目のシフトパルスと(N+1)段目のシフトパルスを遅

らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成する水平走査回路が設けられており、前記データ線に供給される映像信号のサンプリング時間が、N段目と(N+1)段目で重ならない様にノンオーバラップとしている。

【0009】

【作用】本発明においては、シフトレジスタから発生したN段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスを例えば互いにアンド処理する事によりN段目の水平スイッチ駆動パルスを生成する様にしている。この遅延量に応じて先発駆動パルスと後発駆動パルスとの間に間隔が空けられるので駆動パルス列はノンオーバラップで出力される。この様な構成を有する水平走査回路を点順次駆動のアクティブマトリクス型液晶表示装置に適用した場合には、映像信号線の電位揺れが防止できるので従来問題となっていた表示画像の固定縦筋バタンを除去する事ができる。

【0010】

【実施例】以下図面を参照して本発明の好適な実施例を20 詳細に説明する。図1は本発明が適用された水平走査回路あるいは水平走査部を含むアクティブマトリクス型液晶表示装置の一例を示す回路図である。なお、本発明にかかる水平走査回路は表示装置ばかりでなく広く一般に二次元アドレス装置に適用可能である。

【0011】図示する様に、本液晶表示装置は表示部1と垂直走査部2と水平走査部3とから構成されている。理解を容易にする為にまず表示部1から説明する。表示部1はX軸方向に平行に配列された複数のゲート線X₁、X₂、…と、Y軸方向に平行に配列された複数のデータ線Y₁、Y₂、…、Y_n…とを有している。なお、便宜上データ線はY₁から3本のみを示しているが、実際にはデータ線もY₁からスタートしている。ゲート線群とデータ線群とは互いにマトリクス状に交差しており、その交点には各々能動素子が設けられている。この例では、各能動素子は薄膜トランジスタ(TFT)T_{1,1}、T_{1,2}…、T_{1,n}、T_{2,1}、T_{2,2}…、T_{2,n}…で構成されている。各TFTに対応して液晶セルL_{1,1}、L_{1,2}…、L_{1,n}、L_{2,1}、L_{2,2}…、L_{2,n}…が配置されている。各液晶セルは個々の画素電極と共通電極との間に挟持された液晶層から構成されている。各TFTのゲート電極は対応するゲート線に接続されており、ソース電極は対応するデータ線に接続されており、ドレイン電極は対応する画素電極に接続されている。ゲート線群X₁、X₂…は垂直走査部2に接続されており、線順次でゲート信号を出力する事により、行毎にTFTを選択する。一方、データ線群Y₁、Y₂…、Y_n…は水平走査部3に接続されており、順次サンプリングされた映像信号を供給する。選択されたTFTは対応するデータ線から映像信号を取り込み対応する液晶セルに転送して画像表示を行なう。この様に

(4)

5

して、アクティブマトリクス型液晶表示装置の点順次駆動が行なわれる。なお、ゲート線群、データ線群、TFT群及び画素電極群は一方の基板に形成されており、共通電極は他方の基板に形成されている。これら一対の基板は所定の間隙を介して対向配置され、両基板の間隙内に液晶層が充填されてアクティブマトリクス型液晶表示装置を構成する。

【0012】次に、本発明の要部をなす水平走査部3を説明する。水平走査部3はシフトレジスタS/Rを備えている。このシフトレジスタはD型フリップフロップ(D-F F)を多段接続したものである。図示を簡明化する為に、データ線Y₀、Y₁、Y₂に対応するN段、(N+1)段、(N+2)段のみを示している。これらの各段は順次シフトパルスD₀、D₁、D₂を出力する。以下、各種のパルス信号及び構成要素について対応する段番号を示す時には同様なサフィックスを用いる。但し、特に段番号を明示する必要のない時にはサフィックスを用いない。

【0013】シフトレジスタS/Rの各段出力端子には二入力AND素子が接続されている。このAND素子の一方の入力端子には当該段のシフトパルスが供給される。又、他方の入力端子には遅延素子DLYを介して次段からのシフトパルスが供給される。この例では、遅延素子は直列接続された2個のインバータから構成されている。

【0014】各AND素子の出力端子には対応するトランスマッシュゲート素子Sが接続されており、その一対のゲート端子に水平スイッチ駆動パルスΦとその反転パルスを印加する。例えば、N段目のAND₀は当該段のシフトパルスD₀と次段からのシフトパルスD₁を遅延して得られた遅延パルスDD_{0,1}のアンド処理を行ない当該段の水平スイッチ駆動パルスΦ₀を出力する。各トランスマッシュゲート素子の入力端子は共通の信号線SIGに接続されているとともに、出力端子は対応するデータ線に接続されている。各トランスマッシュゲート素子は水平スイッチ駆動パルスΦ₀に応答して順次信号線SIGからデータ信号即ち映像信号をサンプリングし対応するデータ線に転送する。即ち、これらトランスマッシュゲート素子群が水平スイッチ手段を構成する。

【0015】次に図2のタイミングチャートを参照して図1に示す水平走査部3の動作を詳細に説明する。シフトレジスタS/RのN段目には前段からのシフトパルスD_{0,1}が入力される。又、シフトレジスタの各段は水平クロックパルスHCK1とその反転パルスHCK2により駆動される。この例では、シフトパルスの幅はクロックパルス信号の1周期分に設定されている。N段目のD-F Fは一対のインバータを備えており前段からのシフトパルスD_{0,1}をクロックの半周期分シフトし且つ反転させたパルスA₀を生成する。このパルスA₀は出力

50

特開平5-241536

6

インバータにより反転された後当該段のシフトパルスD_{0,1}として出力される。シフトパルスD_{0,1}とD_{1,2}とを比較すれば明らかな様に、D_{0,1}はD_{1,2}をクロックの半周期分シフトさせたパルスである。この様に、シフトレジスタS/Rは順次シフトパルスD_{0,1}、D_{1,2}、D_{2,3}、D_{3,4}…を出力する。

【0016】例えば、N段目から出力されたシフトパルスD_{0,1}はAND₀の一方の入力端子に供給される。又(N+1)段目から導かれたシフトパルスD_{1,2}は対応する遅延素子DLY₀によって遅延され遅延パルスDD_{0,1}としてAND₀の他方の入力端子に印加される。図2のタイミングチャートでは、シフトパルスD_{1,2}と遅延パルスDD_{0,1}との間の遅延量をDelayとして示している。

【0017】AND₀は当該段のシフトパルスD_{0,1}と遅延パルスDD_{0,1}との間のアンド処理を行ない水平スイッチ駆動パルスΦ₀を出力する。同様に、AND_{1,2}は次の水平スイッチ駆動パルスΦ_{1,2}を出力する。Φ₀とΦ_{1,2}を比較すれば明らかな様に、両者の間には前述した遅延量Delayに相当する間隔が空けられる。この様にして水平スイッチ駆動パルス列はノンオーバラップとなる。これらのパルス列で順次トランスマッシュゲート素子群を駆動する事により、従来問題となっていた表示画像の固定縦筋バタンを除去する事ができる。

【0018】なお、外部から供給されるクロックパルスHCKに含まれるジッタが遅延素子によって設定された遅延量を越える場合には、さらに遅延量を増加させる必要がある。この調整は、例えば遅延素子に含まれるインバータの個数を増やす事により対応できる。

【0019】図3は遅延素子の変形例を示し、N段目の遅延素子DLY₀を例示している。遅延量を増加調整する場合、インバータの個数で対応するとバタン面積がその分増えてしまう。そこで、図3に示す変形例では、各インバータの入力抵抗Rを調整する事により所望の遅延量を得ている。

【0020】

【発明の効果】以上説明した様に、本発明によれば、シフトレジスタから発生したN段目のシフトパルスと(N+1)段目のシフトパルスを遅らせた遅延パルスによりN段目の水平スイッチ駆動パルスを生成しているので、駆動パルス列をノンオーバラップとする事ができる。この駆動パルス列で映像信号のサンプリングを行なう事により表示画面の固定縦筋バタンを除去でき画質改善が可能になるという効果がある。又、遅延量を調整する事により外部から供給されるクロックパルス信号に含まれるジッタに対応できる。本発明では、ノンオーバラップとする為に特別の外部パルスを必要としないので回路構成が簡明であるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる水平走査回路を備えたアクティ

(5)

特開平5-241536

7

8

マトリクス型液晶表示装置の一例を示す回路図である。

【図2】図1に示す水平走査部の動作を説明する為のタイミングチャートである。

【図3】水平走査部に含まれる遅延素子の変形例を示す回路図である。

【図4】従来の水平走査回路の一例を示す回路図である。

【図5】従来の水平走査回路の課題を説明する為のタイミングチャートである。

【符号の説明】

1 表示部

2 垂直走査部

3 水平走査部

S/R シフトレジスタ

DLY 遅延素子

AND アンド素子

S トランスマッショングート (スイッチ手段)

X ゲート線

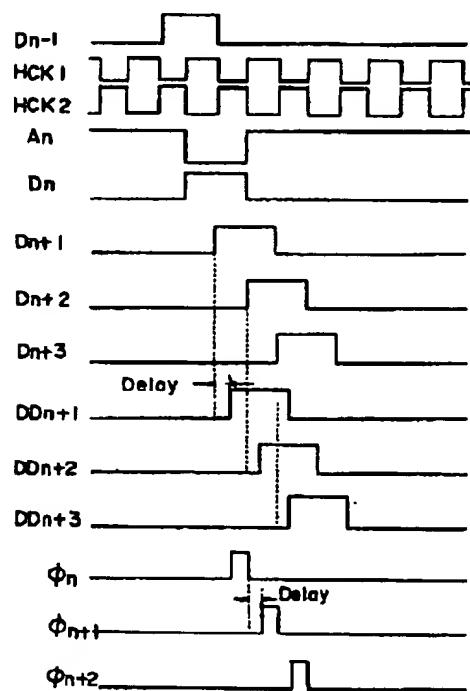
Y データ線

SIG 信号線

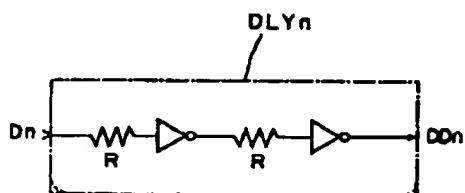
10 T 薄膜トランジスタ

L 液晶セル

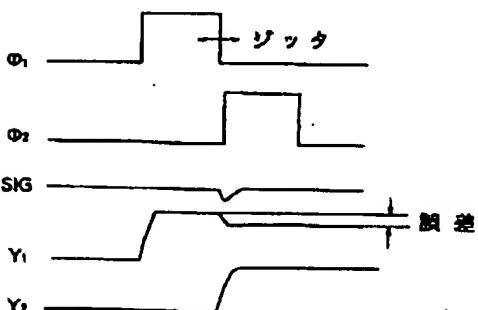
【図2】



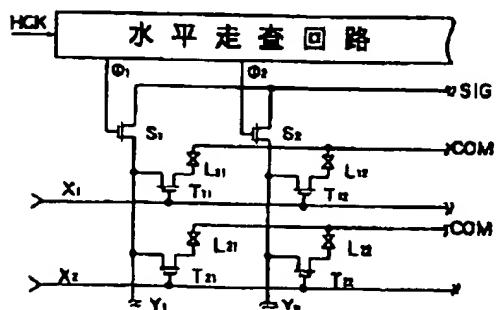
【図3】



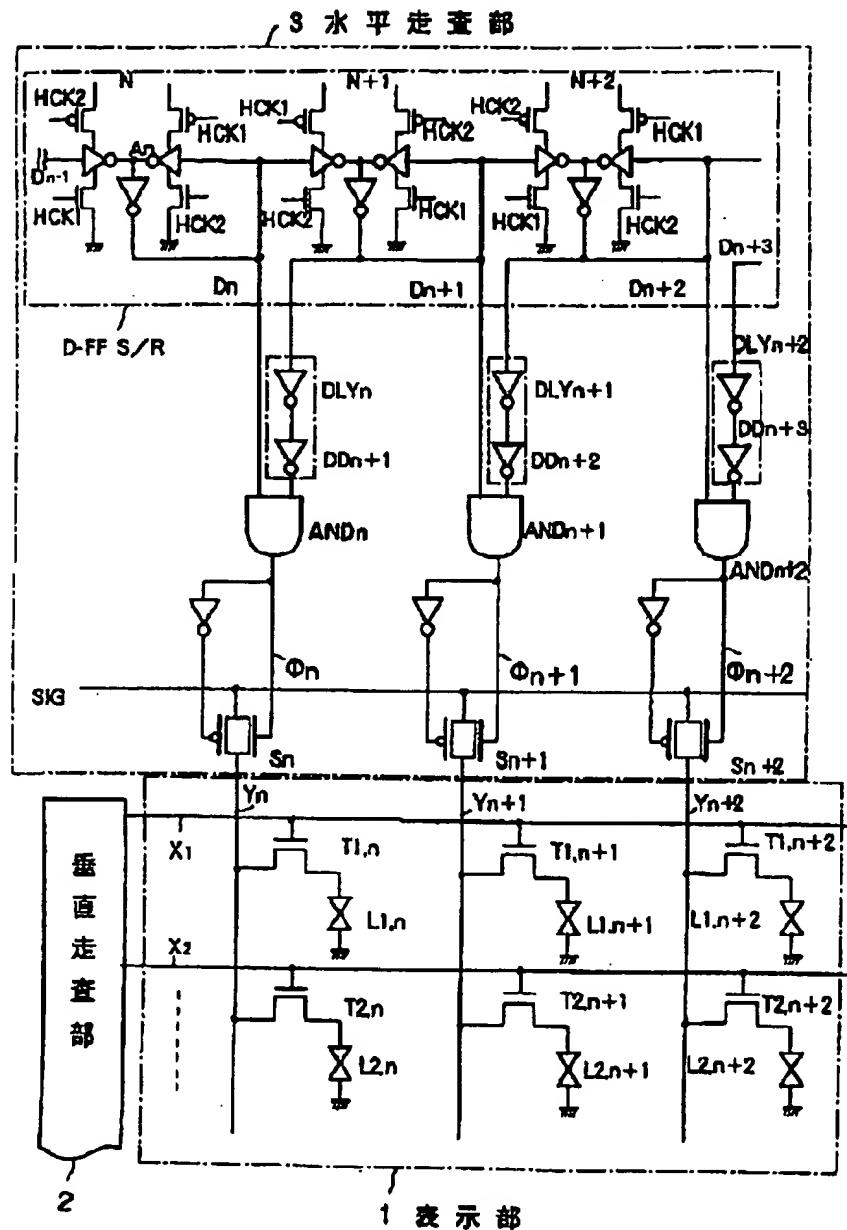
【図5】



【図4】



【図1】



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11933501

Basic Patent (No,Kind,Date): JP 6222739 A2 19940812 <No. of Patents: 002>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): FUJITA MASAYA; KANEKO YOSHIYA

IPC: *G09G-003/36; G02F-001/133; G09G-003/20

JAPIO Reference No: *180600P000100; 180600P000100

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 6222739	A2	19940812	JP 9311024	A	19930126	(BASIC)
JP 3203856	B2	20010827	JP 9311024	A	19930126	

Priority Data (No,Kind,Date):

JP 9311024 A 19930126